



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000045296 (43) Publication Date. 20000715

(21) Application No.1019980061854

(22) Application Date. 19981230

(51) IPC Code:

H01L 27/04

(71) Applicant:

HYUNDAI ELECTRONICS IND. CO., LTD.

(72) Inventor:

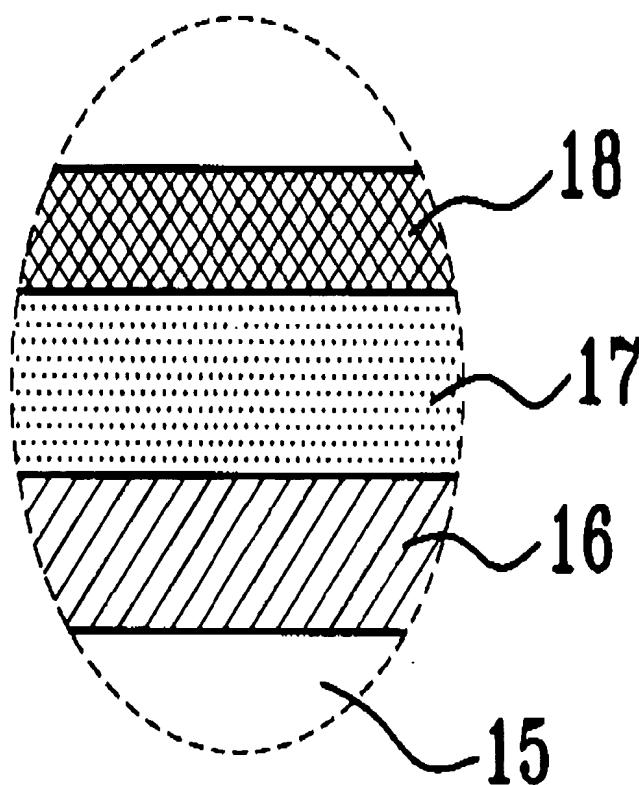
KIM, YU SEONG

(30) Priority:

(54) Title of Invention

METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR MEMORY DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for fabricating a capacitor of a semiconductor memory device is provided to reduce a current leakage and to improve a dielectric rate by using aluminum film as a lower electrode.

CONSTITUTION: A semiconductor substrate(10) having a junction area(11) therein is formed at an upper portion thereof with an insulation film(12) having a contact hole for a capacitor. A polysilicon film pattern(15) is formed on the insulation film(12) such that the pattern (15) is filled in the contact hole. Then, a diffusion restraining film(16), an aluminum film(17) and a Ta<sub>2</sub>O<sub>5</sub> film(18) are formed on an upper portion of the polysilicon film pattern(15).

By heat-treating the Ta<sub>2</sub>O<sub>5</sub> film(18) at a low temperature, aluminum compound (17A) is formed between a diffusion restraining film(16) and the Ta<sub>2</sub>O<sub>5</sub> film(18).

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 27/04	(11) 공개번호 특2000-0045296 (43) 공개일자 2000년07월15일
(21) 출원번호 10-1998-0061854	
(22) 출원일자 1998년12월30일	
(71) 출원인 현대전자산업 주식회사 김영환	
	경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 김유성	
	서울특별시 강동구 고덕동 아남아파트 8-1802
(74) 대리인 최홍순	

실시청구 : 없음

(54) 반도체 메모리 소자의 캐패시터 형성방법

**요약**

본 발명은 유전율을 향상시키고 누설전류를 최소화할 수 있는 반도체 메모리 소자의 캐패시터 형성방법을 제공한다.

본 발명에 따른 반도체 메모리 소자의 캐패시터 형성방법은 내부에 접합영역이 구비되고, 상부에는 접합영역을 노출시키는 캐패시터용 콘택홀이 구비된 절연막이 형성된 반도체 기판을 제공하는 단계; 콘택홀에 매립되도록 절연막 상에 폴리실리콘막 패턴을 형성하는 단계; 폴리실리콘막 패턴 상부에 확산방지막, 알루미늄막, 및  $Ta_2O_5$ 막을 형성하는 단계; 및,  $Ta_2O_5$ 막을 저온열처리하여 상기 확산방지막과  $Ta_2O_5$ 막 사이에 알루미늄화합물을 형성하는 단계를 포함한다. 또한, 저온열처리는 약 350°C 이하의 온도에서 익스-시류 플라즈마  $N_2O$  처리나 UV/O<sub>3</sub> 처리로 진행하고, 알루미늄화합물은  $Al_2O_3$ 막/AIN막인 것을 특징으로 한다.

**대표도**

도2b

**명세서**

**도면의 간단한 설명**

도 1은 본 발명의 실시예에 따른 반도체 메모리 소자의 캐패시터 형성방법을 설명하기 위한 단면도.

도 2a는 본 발명의 실시예에 따라 열처리전 도 1의 'A' 부분을 나타낸 확대도.

도 2b는 본 발명의 실시예에 따라 열처리후 도 1의 'A' 부분을 나타낸 확대도.

[도면의 주요 부분에 대한 부호의 설명]

10 : 반도체 기판	11 : 접합영역
12 : 층간절연막	13 : 스페이서
14 : 배리어막	15 : 폴리실리콘막 패턴
16 : 확산방지막	17 : 알루미늄막
17A : 알루미늄화합물	18 : $Ta_2O_5$ 막

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 메모리 소자의 제조방법에 관한 것으로, 특히 디램과 같은 반도체 메모리 소자의 캐패시터 형성방법에 관한 것이다.

디램(DRAM : Dynamic Random Access Memory)과 같은 반도체 메모리 소자의 집적도가 증가됨에 따라, 셀 면적 및 셀 사이의 간격은 축소되는 반면, 캐패시터는 일정용량을 보유해야 하기 때문에, 좁은 면적에 큰 용량을 가지는 캐패시터가 요구된다.

이에 대하여, 종래에는 캐패시터의 용량을 극대화하기 위하여, 고유전율을 갖는 물질을 유전막으로 이용하여 캐패시터를 형성하였다. 이러한 고유전율을 갖는 물질 중  $Ta_2O_5$ 막은 ONO(Oxide-Nitride-Oxide)막보다 5배 정도 큰 유전율을 갖는 물질로서, 1G 이상의 고집적 반도체 메모리 소자에 적용하기에 적합하다. 특히,  $Ta_2O_5$ 막은 화학기상증착(Chemical Vapor Deposition: CVD)으로 형성하기 때문에, 스텝 커버리지가 우수하고 후속 열처리 공정에 의해 유전특성이 향상될 뿐만 아니라 누설전류 발생이 적다. 예컨대, 금속-절연막-반도체(MIS: Metal-Insulator- Semiconductor) 구조의 캐패시터에  $Ta_2O_5$ 막을 적용한 경우, 캐패시턴스가 30fF 이상이고, 누설전류는 약 1fA 이하로 나타난다.

또한, 종래에는 반도체 메모리 소자의 집적도를 더욱 더 향상시키기 위하여, 캐패시터의 하부 및 상부전극을 모두 금속을 사용한 금속-절연층-금속(MIM: Metal- Insulator-Metal) 구조의 캐패시터에  $Ta_2O_5$ 막을 적용하는 방법이 제시되었다. 즉,  $Ta_2O_5$ 막이 금속전극 상부에 파복되면 결정성이 향상되어 유전율이 더욱 더 증가할 뿐만 아니라 금속의 일함수가 크기 때문에  $Ta_2O_5$ 막의 누설전류 특성이 우수해진다. 또한, 이러한 MIM 구조에서는 하부전극 물질로서 W, WN, WSix, TiN 등이 사용된다.

#### 발명이 이루고자 하는 기술적 과제

한편, 상기한  $Ta_2O_5$ 막을 적용한 MIM 구조의 캐패시터에서,  $Ta_2O_5$ 막의 형성후 유전특성을 향상시키기 위하여 MIS 구조에서와 마찬가지로 열처리 공정을 진행하는데, 일반적으로 열처리 공정은  $O_2$  또는  $N_2O$ 가스 분위기에서 700°C 이상의 고온에서 진행된다. 그러나, 이러한 열처리 공정시 하부전극의 산화가 일어날 뿐만 아니라, 하부금속 및  $Ta_2O_5$ 막의 계면사이에서 반응이 일어나서,  $Ta_2O_5$ 막 이외의 산화물이 형성되어 캐패시터의 유전율이 감소되고 누설전류가 야기되어, 고집적화에 따른 캐패시턴스를 확보하기가 어렵다.

따라서, 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로서, 유전율을 향상시키고 누설전류를 최소화할 수 있는 반도체 메모리 소자의 캐패시터 형성방법을 제공함에 그 목적이 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 반도체 메모리 소자의 캐패시터 형성방법은 내부에 접합영역이 구비되고, 상부에는 접합영역을 노출시키는 캐패시터용 콘택홀이 구비된 절연막이 형성된 반도체 기판을 제공하는 단계; 콘택홀에 매립되도록 절연막 상에 폴리실리콘막 패턴을 형성하는 단계; 폴리실리콘막 패턴 상부에 확산방지막, 알루미늄막, 및  $Ta_2O_5$ 막을 형성하는 단계; 및,  $Ta_2O_5$ 막을 저온열처리하여 상기 확산방지막과  $Ta_2O_5$ 막 사이에 알루미늄 화합물을 형성하는 단계를 포함한다.

또한, 저온열처리는 약 350°C 이하의 온도에서 익스-시튜 플라즈마  $N_2O$  처리나 UV/ $O_3$  처리로 진행하고, 알루미늄 화합물은  $Al_2O_3$ 막/AlN막인 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

도 1은 본 발명의 실시예에 따른 반도체 메모리 소자의 캐패시터 형성방법을 설명하기 위한 단면도이다.

도 1을 참조하면, 접합영역(11)이 구비된 반도체 기판(10) 상부에 층간절연막(12)을 형성하고, 접합영역(11)의 일부가 노출되도록 층간절연막(12)을 식각하여 캐패시터용 콘택홀을 형성한다. 그런 다음, 상기 콘택홀 표면 및 층간절연막(12) 상부에 절연막을 증착하고 층간절연막(12)의 콘택홀의 저부 표면이 노출될 때까지 블랭크 식각하여 콘택홀의 측벽에 스페이서(13)를 형성한다.

그리고 나서, 콘택홀 양 측의 층간절연막(12) 상에 배리어막(14)을 형성하고, 스페이서(13)가 형성된 콘택홀에 매립되도록 배리어막(14) 상부에 폴리실리콘막을 증착하고 패터닝하여 폴리실리콘막 패턴(15)을 형성한다. 그런 다음, 폴리실리콘막 패턴(15) 표면 상부에 실리콘의 확산을 방지하기 위한 확산방지막(16)으로서 티타늄 질화막(TiN)/티타늄막(Ti)을 CVD로 300 내지 500°C의 온도에서 형성한다. 바랑직하게, 티타늄 질화막은 300 내지 500 Å의 두께로 형성하고, 티타늄막은 100 내지 200 Å의 두께로 형성한다. 이때, 티타늄막은 실리콘과 티타늄 질화막과의 접착력을 향상시키는 완충막으로서 작용한다. 그런 다음, 확산방지막(16) 상부에 캐패시터의 하부전극 물질로서 알루미늄막(Al: 17)을 100 내지 300 Å의 두께로 얇게 형성하고, 알루미늄막(17) 상부에 유전체막으로서  $Ta_2O_5$ 막(18)을 CVD로 약 400°C 이하의 온도에서 100 내지 200 Å의 두께로 형성한다.

그리고 나서,  $Ta_2O_5$ 막(18)내의 유기체를 강소시키기 위하여 300 내지 350°C의 저온에서 열처리 공정을 진행한다. 열처리 공정은 익스-시튜 플라즈마(ex-situ plasma)  $N_2O$  처리나 UV/ $O_3$  처리로 진행한다.

도 2a 및 도 2b는 상기한 열처리 전과 열처리 후의 도 1의 'A' 부분의 확대도로서, 열처리 전에는 폴리실리콘막 패턴(15), 확산방지막(16), 알루미늄막(17) 및  $Ta_2O_5$ 막(18)의 적층구조가, 열처리 후에는 확산방지막(16)과  $Ta_2O_5$ 막(18) 사이에  $Al_2O_3$ 막/AlN막의 알루미늄 화합물(17A)이 형성된 구조로 변경된다. 즉, 알루미늄막(17)이  $Ta_2O_5$ 막(18)의 열처리 공정시 확산방지막(16)의 티타늄 질화막 중 질소와 반응하여 확산방지막(16) 상에는 AlN막이 형성된다. 또한, 열처리 공정시  $Ta_2O_5$ 막(18)을 통하여 알루미늄막(17)으로 확산된 산소원자가 알루미늄막과 반응하여 AlN막 상에  $Al_2O_3$ 막이 형성된다.

이와 같이 생성된  $Al_2O_3$ 막/AlN막의 알루미늄 화합물(17A)은 1,100°C까지 내산화성을 유지하는 물질로서 캐패시터 형성후 고온 열처리 공정에서도 산소가 하부의 확산방지막(16)과 폴리실리콘막 패턴(15)으로 확산되는 것을 효과적으로 방지한다. 또한, 알루미늄 화합물(17A)은 유전상수가 약 10으로서

$Ta_2O_5$  막(18)의 유전율 특성을 충분히 유지할 수 있게 된다. 또한, 도시되지는 않았지만, 열처리의 진행동안 알루미늄 원자가 상부  $Ta_2O_5$  막(18)으로 확산하면,  $Ta_2O_5$  막(18)과 알루미늄 막(17)의 계면에 얇은  $(Ta, Al)O_x$  막이 형성될 수 있고, 이러한 층은 조성에 따라 유전율이 10 내지 20 정도로서  $Ta_2O_5$  막(18)의 누설 전류특성을 크게 개선시킨다.

#### 발명의 효과

상기한 본 발명에 의하면, 캐패시터의 하부전극 물질로서 알루미늄 막을 적용하여 후속 열처리시 폴리실리콘 막의 산화가 효과적으로 방지되고 유전율이 향상된다. 또한,  $Ta_2O_5$  막과 알루미늄 사이에 생성되는 물질에 의해  $Ta_2O_5$  막의 누설 전류특성이 향상된다. 이에 따라, 캐패시턴스가 증가되므로 소자의 고집적을 더욱 높일 수 있게 된다.

또한, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 요지를 벗어나지 않는 범위내에서 다양하게 변형시켜 실시할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

내부에 접합영역이 구비되고, 상부에는 상기 접합영역은 노출시키는 캐패시터용 콘택출이 구비된 층간절연막이 형성된 반도체 기판을 제공하는 단계;

상기 콘택출에 매립되도록 상기 층간절연막 상에 폴리실리콘 막 패턴을 형성하는 단계;

상기 폴리실리콘 막 패턴 상부에 확산방지막, 알루미늄 막, 및  $Ta_2O_5$  막을 형성하는 단계; 및,

상기  $Ta_2O_5$  막을 저온열처리하여 상기 확산방지막과  $Ta_2O_5$  막 사이에 알루미늄 화합물을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

##### 청구항 2

제 1 항에 있어서, 상기 확산방지막은 티타늄 질화막과 티타늄 막의 적층막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

##### 청구항 3

제 1 항에 있어서, 상기 알루미늄 막은 100 내지 300 Å의 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

##### 청구항 4

제 1 항에 있어서, 상기  $Ta_2O_5$  막은 화학기상증착으로 약 400°C 이하의 온도에서 100 내지 200 Å의 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

##### 청구항 5

제 1 항에 있어서, 상기 저온열처리는 300 내지 350°C의 온도에서 익스-시튜 플라즈마  $N_2O$  처리나 UV/ $O_3$  처리로 진행하는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

##### 청구항 6

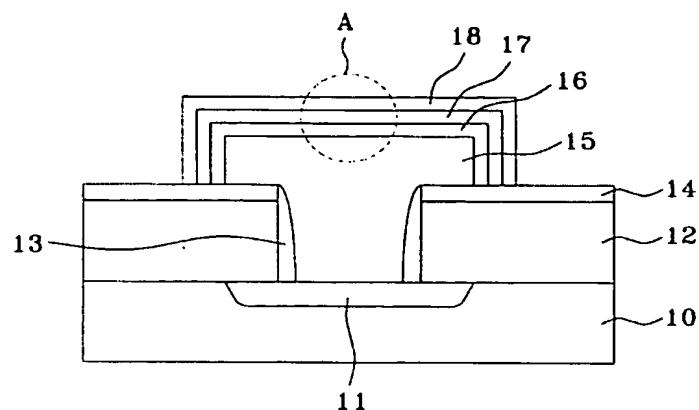
제 2 항 또는 제 5 항에 있어서, 상기 알루미늄 화합물은  $Al_2O_3$  막/AIN 막인 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

##### 청구항 7

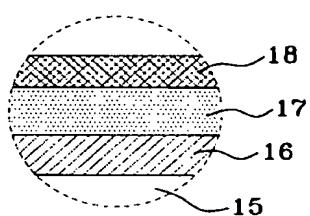
제 6 항에 있어서, 상기 AIN 막은 상기 확산 방지막의 티타늄 질화막 중 질소와 반응하여 상기 확산방지막 상부에 형성되고, 상기  $Al_2O_3$  막은 상기 AIN 막 상부에 형성되는 것을 특징으로 하는 반도체 메모리 소자의 캐패시터 형성방법.

#### 도면

도면1



도면2a



도면2b

